

## **Plataforma genérica basada en FPGA para procesamiento de imágenes**

Luis Contreras, Irineo Torre, Ramón Guevara y Jesús Millan.

L. Contreras, I. Torre, R. Guevara y J. Millan.

Universidad Tecnológica del Suroeste de Guanajuato

M. Ramos., J. Quintanilla, J. Daza, (eds.) .Aplicaciones TIC, Tópicos Selectos de Ingeniería©ECORFAN-Bolivia. Sucre, Bolivia, 2014.

## Abstract

Nowadays, the image processing is a tool widely used in several fields of science and it uses Personal Computers, Digital Signal Processors and Microcontrollers principally for achieving its processing; nevertheless, the applications demand day by day high computational capacities and modularity of the image acquisition systems. The FPGAs has come to satisfy some requirements of these applications and they have been gaining popularity in the fields of science and industrial applications because of its inherent advantages such as reconfigurability and fastness. This work proposes a generic platform for real-time image processing able of connecting itself to a wide variety of CCD sensors.

## 8 Introducción

En la actualidad, el procesamiento de imágenes se ha convertido en una herramienta muy importante en la industria y la ciencia, debido a que un sin fin de fenómenos en la naturaleza se manifiestan a través de cambios visibles y por lo tanto pueden ser cuantificados y analizados utilizando procesamiento de imágenes. El procesamiento de imágenes se aplica en un gran número de ramas de la ciencia tal como en la biología, física, química entre otras y requiere de dispositivos para realizar el procesamiento tales como una computadora personal (PC) para poder implementar las técnicas de procesamiento, no obstante, existen otros dispositivos que se han usado, no solo para procesar imágenes, sino todo tipo de señales pero principalmente en 1D y 2D, estos dispositivos son: Los microcontroladores ( $\mu$ C), los Procesadores digitales de señales (DSP) y más recientemente los Arreglos de Compuertas Programables en Campo, que por sus siglas en inglés son FPGAs (Field Programmable Gate Arrays) (Contreras-Medina y col., 2012).

Como se menciono anteriormente, existen diversas áreas de la ciencia donde se aplica el Procesamiento de imágenes; en el área biológica, el procesamiento de imágenes se ha utilizado en el trabajo de detección de síntomas en plantas, en el cual se toma la imagen de la planta y se procesa dicha información mostrándose el área afectada de la planta para saber el desarrollo de ella (Pydipati y col, 2006; Camargo y col., 2009). En la industria de los alimentos se utiliza en el proceso de deshidratación, en el cual toman series de imágenes con una cámara común y llevan la información a una computadora para tomar control sobre dicho proceso (Fernández y col., 2004), en control de calidad de alimentos, las imágenes tomadas por una cámara son procesadas y evaluadas y, una vez obtenido el resultado, los alimentos son clasificados (Chen-Jin y Da-Wen, 2004). En la actualidad, existe una gran diversidad de sistemas en la industria y diversos campos de la ciencia que necesitan adquirir imágenes que posteriormente analizarlas fuera de línea por un experto para poder dar una cuantificación o tomar una decisión en base a ese análisis, esto representa una desventaja ya que se pierde tiempo durante el análisis y además se necesita de personal capacitado.

Los FPGAs (Field Programmable Gate Arrays) son dispositivos que han ganado popularidad, principalmente debido a su alta velocidad de procesamiento, alta reconfigurabilidad y soluciones tipo SoC (System on a Chip) (Contreras-Medina et al., 2010; Contreras-Medina et al., 2012). Estas características permiten que los FPGAs sean usados en aplicaciones donde requerimientos de cómputo de alta capacidad son necesarios y que dispositivos tales como PC, DSP y microcontroladores no son capaces de satisfacer; en la tabla 1 se muestra una comparativa de las ventajas y desventajas de estos dispositivos.

En visión por computadora, las características de alta velocidad de procesamiento que los FPGA ofrecen han sido explotadas para desarrollar sistemas de visión para la clasificación de productos del campo (Pearson, 2009). En robótica, los FPGA han sido empleados para desarrollar sensores inteligentes capaces de obtener estimaciones precisas de parámetros de dinámica, cinemática y vibraciones en robots industriales de una sola unión basados en encoders ópticos incrementales y acelerómetros triaxiales (Rodríguez-Donate y col., 2010). En mantenimiento industrial, Rangel-Magdaleno y col. (2009) desarrollaron un sensor inteligente para el monitoreo de jerk basados en acelerómetros, los cuales actuaban como sensores primarios y una técnica novedosa de sobre muestreo. En el área biológica, Millan-Almaraz y col. (2010) utilizaron un sensor inteligente basado en FPGA para estimar la dinámica de transpiración de las plantas basado en cinco sensores primarios para medir la temperatura del aire, la temperatura de la hoja, la humedad relativa del aire, la humedad relativa de salida de la planta y radiación. Como se puede observar, los FPGAs cada vez ganan más popularidad debido a sus ventajas que tienen sobre otras tecnologías.

Debido a que dispositivos como  $\mu$ C, DSP y PC muchas veces no son capaces de solventar las necesidades de cómputo de ciertas aplicaciones. En la actualidad existen diversos sensores CCD (Charge-Coupled Device), los cuales funcionan de manera similar, por lo tanto el poder adquirir imágenes para un sensor CCD, el poder hacerlo usando otro sensor implicaría cambios mínimos en la configuración del FPGA y muchas veces no se tendría que realizar cambio alguno. Por lo tanto el trabajo que aquí se presenta propone un dispositivo capaz de tener interconectividad con diversos tipos de sensores CCD con el objetivo de generar una plataforma genérica que sea capaz de procesar las imágenes para realizar un análisis de las misma *in-situ* y tiempo real.

**Tabla 8.** Ventajas y desventajas de las plataformas tecnológicas para el procesamiento de señales.

<b>Plataforma</b>	<b>Ventajas</b>	<b>Desventajas</b>
PC	<ul style="list-style-type: none"> <li>- Utiliza computadoras de propósito general</li> <li>- Diseño en alto nivel</li> <li>- Interfaces estándares</li> </ul>	<ul style="list-style-type: none"> <li>- Velocidad limitada</li> <li>- computo especulativo</li> </ul>
Procesadores DSP	<ul style="list-style-type: none"> <li>- circuito probado funcionalmente</li> <li>- Plataforma de diseño de alto nivel</li> <li>- Puente con C y/o Matlab</li> <li>- Fácil conexión con memoria</li> <li>- Bajo costo</li> <li>- Buena velocidad</li> </ul>	<ul style="list-style-type: none"> <li>- Requiere circuito de soporte periférico</li> <li>- Obsolescencia general</li> <li>- Arquitectura predefinida</li> </ul>
Microcontroladores	<ul style="list-style-type: none"> <li>- Plataforma de diseño de alto nivel</li> <li>- Memoria interna</li> <li>- Puertos de comunicación</li> <li>- Bajo costo</li> </ul>	<ul style="list-style-type: none"> <li>- Obsolescencia general</li> <li>- Arquitectura predefinida</li> <li>- No permite la optimización de ciertos algoritmos</li> </ul>
FPGA (Arreglo de Compuertas Programables en Campo)	<ul style="list-style-type: none"> <li>- Posibilidad SoC</li> <li>- Libertad de arquitectura</li> <li>- Alta Reconfigurabilidad</li> </ul>	<ul style="list-style-type: none"> <li>- Desperdicio inherente de recursos</li> <li>- Desarrollo de</li> </ul>

---

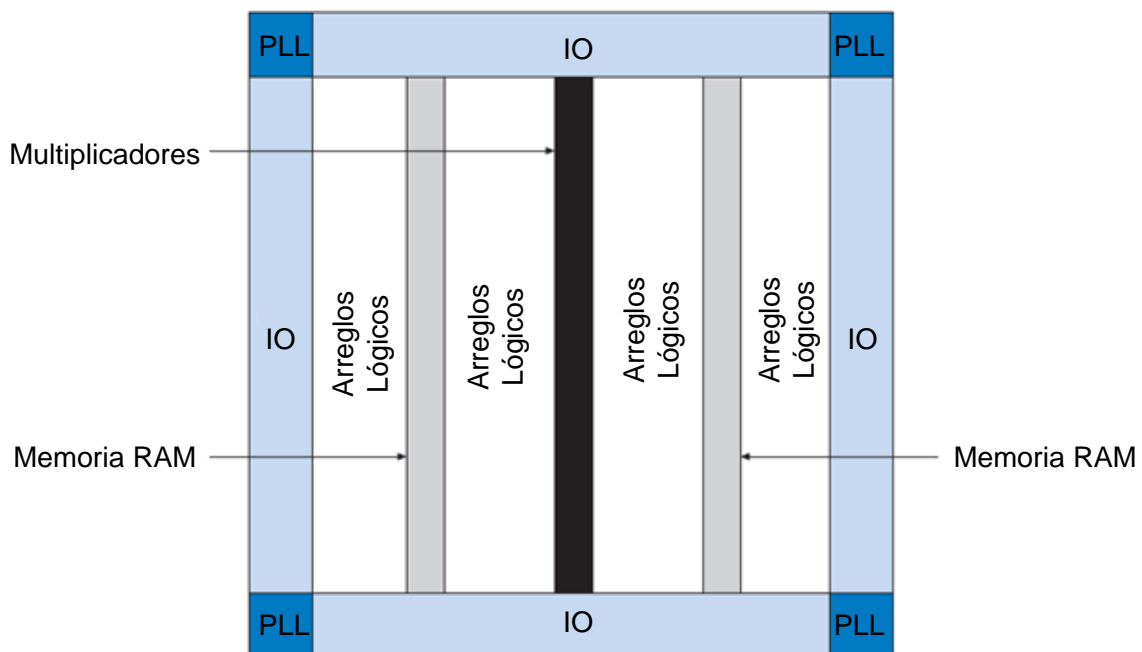
- Portabilidad	dependencia tecnológica
- Diseño del sistema por el usuario final	con los fabricantes
	- Tiempo de desarrollo
	- Complejidad

---

### 8.1 Materiales y métodos

Arreglo de compuertas programable en campo son dispositivos los cuales pueden ser reconfigurados con la finalidad de realizar las funciones que el usuario desea. Los FPGAs cuentan con unidades lógicas las cuales son las unidades básicas de estos dispositivos. Esta tecnología generalmente cuenta, dentro del mismo chip, no solo de unidades lógicas, sino también de unidades multiplicadoras, memoria RAM y ROM, PLL entre otras dependiendo el dispositivo que se utilice. En la Figura 1 se muestra una distribución de un FPGA Cyclone II de la marca altera en la cual se pueden observar la localización de los diversos módulos que componen un FPGA de esta serie, se puede ver que cuenta con arreglos lógicos (unidades lógicas), multiplicadores, puertos de entrada salida (IO) y PLL (Phase Locked Loop), además de memoria RAM interna, la cantidad de estos recursos varía dependiendo del tipo de dispositivo.

**Figura 8.** Estructura interna de FPGA Cyclone II



### Procesamiento de imágenes

Dentro del dispositivo que aquí se propone, se implementaron cuatro algoritmos, los cuales se describen a continuación. Estos algoritmos son muy utilizados en procesamiento de imágenes para diversas tareas como son filtrado, segmentación y detección de bordes por mencionar algunas. Cabe recalcar que con el algoritmo de la dilatación y erosión se pueden construir fácilmente los algoritmos de apertura y cerradura.

### Dilatación $\oplus$

La dilatación de  $A$  por  $B$  es el resultado de todos los desplazamientos de la reflexión de  $B$  sobre  $A$  en los cuales ambos se traslapan en al menos un elemento (ver ecuación (1)) (González y Woods, 2002). En otras palabras, esta operación consiste en que al sobreponer el elemento estructurante  $B$  reflejado en una imagen  $A$ , el centro de este contenga a un elemento del conjunto  $A$ , cuando esto ocurre, el elemento estructurante llena las posiciones adyacentes de sus píxeles vecinos con el valor del píxel más alto, dilatando de esta manera la imagen.

$$A \oplus B = \left\{ z \mid \left[ (\hat{B})_z \cap A \right] \subseteq A \right\} \quad (1)$$

### Erosión $\otimes$

La erosión se define como el resultado de todos los puntos tal que  $B$  trasladado por  $z$ , es contenido en  $A$  (ver ecuación 2) (González y Woods, 2002). En otras palabras, consiste en colocar el elemento estructurante  $B$  sobre la imagen  $A$ , pero a diferencia de la dilatación, esta requiere que todos los píxeles del elemento estructurante  $B$  contengan un elemento de  $A$ , cuando esto sucede, se aplica un adelgazamiento de regiones gruesas de la imagen, a esta operación se le llama erosión.

$$A \otimes B = \left\{ z \mid (B)_z \subseteq A \right\} \quad (2)$$

### Apertura ( $\circ$ )

La operación de apertura consiste en aplicar una erosión para simplificar su estructura y posteriormente una dilatación para remarcarla (ver ecuación 3)

$$\varphi = A \circ B = (A \otimes B) \oplus B \quad (3)$$

### Cerradura ( $\bullet$ )

Esta operación es dual a la dilatación, puesto que implica aplicar una dilatación para posteriormente aplicar una erosión, y lo que hace es básicamente cerrar contornos (dilatación) y para posteriormente adelgazarlos (erosión) (ver ecuación 4).

$$\gamma = A \bullet B = (A \oplus B) \otimes B \quad (4)$$

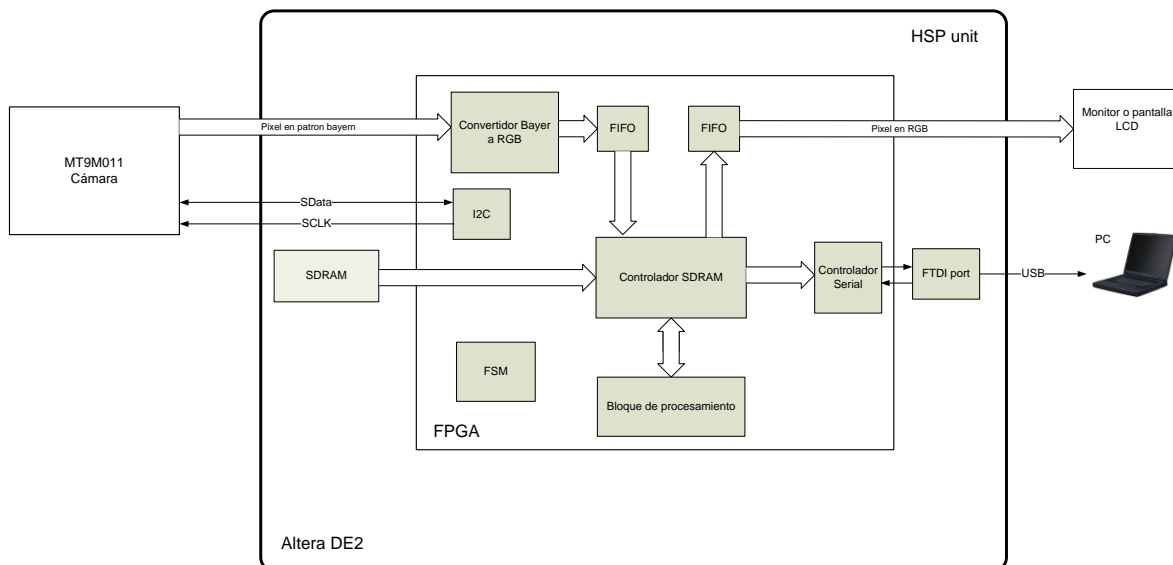
## 8.2 Metodología

En la figura 2, se presenta la metodología seguida para la implementación en la tarjeta de desarrollo DE2 de la marca altera el cual contiene un FPGA Cyclone II de la marca altera. La unidad HSP (Hardware Signal Processing) está a cargo de controlar el flujo de datos provenientes de la cámara (MT9M011) y llevar a cabo los procesamientos, los cuales son mostrados en la sección anterior. La unidad HSP está compuesta principalmente de cinco partes: el FPGA, SDRAM de 8 Mbyte, puertos periféricos (FTDI) y puertos de expansión.

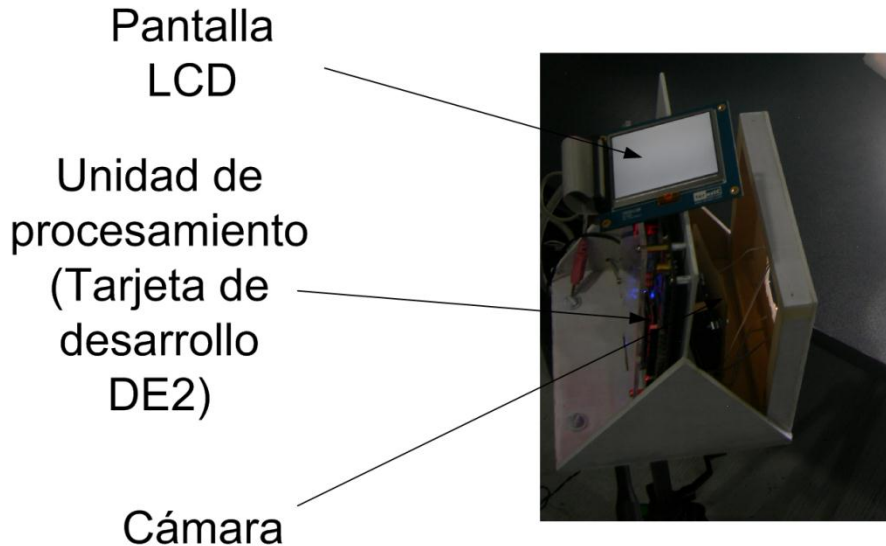
El FPGA es el componente clave de la unidad HSP y aquí es donde los controladores de los dispositivos conectados son embebidos y donde los procesamientos se llevan a cabo. Los controladores y bloques de procesamiento consisten en IP (Intellectual Property) cores que controlan los dispositivos conectados al FPGA y de procesamiento; estos bloques trabajan a diferentes frecuencias de reloj con el objetivo de evitar cuellos de botella de transferencias de datos entre la cámara, SDRAM, bloques de procesamiento y puertos periféricos y para cumplir con las especificaciones de los dispositivos periféricos tales como la pantalla LCD que opera usando un reloj de 33.2 MHz, la SDRAM que trabaja a 100 MHz y el reloj de la interface de la cámara que es fijado a 25 MHz. Los bloques de procesamiento trabajan con un reloj de 25 MHz, dentro del bloque de procesamiento y para este caso, son implementados los algoritmos anteriormente presentados, no obstante, debido a que los recursos del FPGA que son utilizados están aproximadamente al 50%, existe la posibilidad de, si el usuario lo requiere, poder agregar otros módulos de procesamiento de igual o mayor complejidad.

Los algoritmos implementados en la unidad de procesamiento se desarrollaron utilizando el lenguaje descriptivo de hardware VHDL (Very High speed hardware Description Lenguaje). Estos algoritmos son implementados a base de máscaras, las cuales se obtienen utilizando memoria RAM del FPGA y en base a una maquina de estados que controla el tamaño de la máscara.

**Figura 8.** Arquitectura implementada en FPGA para la adquisición y procesamiento de la imagen



**Figura 8.1** Sistema para adquisición y procesamiento de imágenes



### Implementación en FPGA

Los bloques de procesamiento en el FPGA de la unidad HSP usan un reloj de 25 MHz; La implementación utiliza 7403 elementos lógicos, 34 multiplicadores de 9 bits y 235616 bits de memoria del FPGA, lo que corresponde a 22.29%, y el uso del chip fue aproximadamente del 50%.

### 8.3 Conclusiones

El presente trabajo describe un sistema para la adquisición, captura y procesamiento de imágenes en tiempo real genérico. El sistema emplea un sensor CCD CMOS de 1/3-pulgada de 1.3 Megapíxeles que actúa como sensor primario y una tarjeta de desarrollo Altera-DE2 que contiene un FPGA Cyclone II que sirve como elemento de procesamiento debido a que este contiene los suficientes recursos para satisfacer la alta demanda computacional de los algoritmos hoy empleados en las diversas áreas de la ciencia. Para un futuro desarrollo, las capacidades de reconfigurabilidad del FPGA permiten la incorporación de diferentes algoritmos los cuales dependerán de la aplicación en la cual se esté usando el sistema.

### 8.4 Referencias

Camargo, A., Smith, J.S. (2009). "Image pattern classification for the identification of disease causing agents in plants", *Computers and Electronics in Agriculture*. 66(vol. 2). pp. 121-125.

Contreras-Medina, L.M., Romero-Troncoso, R.J., Cabal-Yepez, E., Rangel-Magdaleno, J.J., Millan-Almaraz, J.R (2010). "FPGA based multiple-channel vibration analyzer for industrial application in induction motor failure detection". *IEEE Transactions on Instrumentations and Measurement*. 59(vol. 1). pp. 63-72.

Contreras-Medina, L. M., Osornio-Rios, R.A., Torres-Pacheco, I., Romero-Troncoso, R.J., Guevara-González, R.G., Millan-Almaraz, J.R. 2012. "Smart Sensor for Real-Time Quantification of Common Symptoms Present in unhealthy Plants", *Sensors*. 12(vol. 1). pp. 784-805.

Du, Cheng-Jin. Da-Wen Sun (2004). "Recent developments in the applications of image processing techniques for food quality evaluation." *Trends in Food Science & Technology* 15 (vol. 5). pp. 230-249.

Fernandez, L., Castellero, C., Aguilera, J. M (2005). "An application of image analysis to dehydration of apple discs", *Journal of Food Engineering*, 67(vol. 1). pp. 185-193.

Gonzalez. R.C., Woods. R.E. *Digital Image Processing*. Prentice Hall, 2001.

Millan-Almaraz, J. R., Romero-Troncoso, R. D. J., Guevara-Gonzalez, R. G., Contreras-Medina, L. M., Carrillo-Serrano, R. V., Osornio-Rios, R. A., and Torres-Pacheco, I (2010). FPGA-based fused smart sensor for real-time plant-transpiration dynamic estimation. *Sensors*, 10(vol. 9). pp. 8316-8331.

Pearson, Tom (2009). "Hardware-based image processing for high-speed inspection of grains." *Computers and electronics in agriculture* 69 (vol 1). pp. 12-18.

Pydipati, R., Burks, T. F., Lee, W. S (2006). Identification of citrus disease using color texture features and discriminant analysis. *Computers and electronics in agriculture*, 52(vol. 1). pp. 49-59.

Rangel-Magdaleno, J. J., Romero-Troncoso, R. J., Osornio-Rios, R. A., Cabal-Yepez, E (2009). Novel oversampling technique for improving signal-to-quantization noise ratio on accelerometer-based smart jerk sensors in CNC applications. *Sensors*, 9(vol. 5). pp. 3767-3789.

Rodriguez-Donate, C., Morales-Velazquez, L., Osornio-Rios, R. A., Herrera-Ruiz, G., Romero-Troncoso, R. D. J (2010). FPGA-based fused smart sensor for dynamic and vibration parameter extraction in industrial robot links. *Sensors*, 10(vol. 4). pp. 4114-4129.